

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **TANAKA, Takuji**

Group Art Unit: **2811**

Serial No.: **10/604,891**



Examiner: **To be Assigned**

Filed: **August 25, 2003**

For. **SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 2, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-255473, filed August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

A handwritten signature in cursive script, appearing to read "William L. Brooks".

William L. Brooks
Attorney for Applicant
Reg. No. 34,129

WLB/xl
Atty. Docket No. **031032**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-255473

[ST.10/C]:

[JP2002-255473]

出 願 人

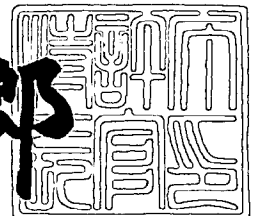
Applicant(s):

富士通株式会社

2003年 1月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3002261

【書類名】 特許願

【整理番号】 0240682

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 田中 琢爾

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 ゲート及びソース／ドレインを含む半導体装置であって、
前記ゲートの側面を覆うサイドウォール膜を備え、
前記ゲートの前記側面の下部のみに、前記サイドウォール膜で覆われた局所的な低誘電率領域を有することを特徴とする半導体装置。

【請求項 2】 前記低誘電率領域は、前記サイドウォール膜に比して低誘電率の材料からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記サイドウォール膜は、
前記ゲートの前記側面の上部のみに直接形成された第 1 の膜と、
前記ゲートの前記側面の下部のみに直接形成された前記低誘電率領域を覆うように前記第 1 膜に形成された第 2 の膜と
を含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記低誘電率領域は空洞であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記サイドウォール膜は、
前記ゲートの前記側面の上部のみに直接形成された第 1 の膜と、
前記第 1 の膜を覆い、前記側面の下部のみに空洞を形成する第 3 の膜と
を含むことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記ゲートは、側壁下部の一部位が除去されてノッチ状に前記低誘電率領域が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、
前記第 1 の膜の下部のみを除去する工程と、
前記第 1 の膜の除去された前記ゲートの前記側面の下部のみに局所的に低誘電率の材料を埋め込む工程と、

前記低誘電率の材料を覆うように前記第 1 の膜に第 2 の膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、

前記第 1 の膜の下部のみを除去する工程と、

前記第 1 の膜に比して低被覆段差性となる条件で第 2 の膜を前記第 1 の膜に形成し、前記ゲートの前記側面の下部に空洞を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側壁下部の一部位を除去してノッチ形状に加工する工程と、

前記一部位のみに局所的に低誘電率の材料を埋め込む工程と、

前記低誘電率の材料を覆うように前記ゲートの側面にサイドウォール膜を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側壁下部の一部位を除去してノッチ形状に加工する工程と、

前記一部位を埋め込まない程度に低被覆段差性となる条件でサイドウォール膜を前記ゲートの側面に形成し、前記ゲートの前記側面の下部に空洞を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート及びソース／ドレインを有してなる、MOS トランジスタ等の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化及び高性能化が進むにつれて、半導体装置に対する各種の要求が益々高まりつつある。そのなかでも、ゲート絶縁膜の薄膜化及びサイドウォール絶縁膜の薄膜化の要求が強く、これに起因して主にゲート電極と半導体基板との間で生じる寄生容量であるフリンジ容量の増加が問題視されている。このフリンジ容量の低減化を図る従来技術として、例えば特開平 9 - 2 4 6 5 4 4 号公報に、ゲート電極及びゲート絶縁膜とサイドウォール絶縁膜との間における側面全面に空洞を設ける技術が開示されている。

【0 0 0 3】

【発明が解決しようとする課題】

しかしながら、上記した従来技術では、フリンジ容量の低減化には効果が大きい反面、そもそも空洞を形成することが容易ではなく、しかも閾値電圧制御の容易化のためにゲート電極に導入した不純物がその後の熱処理工程で前記空洞から抜け易いという問題がある。

【0 0 0 4】

本発明は、フリンジ容量の低減化を最も効率良く実現するとともに、上記した不純物の抜け等の問題を可及的に抑止し、作製も比較的容易な半導体装置及びその製造方法を提供することを目的とする。

【0 0 0 5】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0 0 0 6】

本発明は、ゲート及びソース／ドレインを含む半導体装置及びその製造方法を対象とする。

【0 0 0 7】

本発明の半導体装置は、前記ゲートの側面を覆うサイドウォール膜を備え、前記ゲートの前記側面の下部のみに、前記サイドウォール膜で覆われた局所的な低誘電率領域を有する。この低誘電率領域は、所定の低誘電率材料で充填されるか、又は空洞とすることが好適である。

【 0 0 0 8 】

本発明の半導体装置の製造方法は、前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、前記第 1 の膜の下部のみを除去する工程と、前記第 1 の膜の除去された前記ゲートの前記側面の下部のみに局所的に低誘電率の材料を埋め込む工程と、前記低誘電率の材料を覆うように前記第 1 の膜に第 2 の膜を形成する工程とを含む。

【 0 0 0 9 】

本発明の半導体装置の製造方法は、前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、前記第 1 の膜の下部のみを除去する工程と、前記第 1 の膜に比して低被覆段差性となる条件で第 2 の膜を前記第 1 の膜に形成し、前記ゲートの前記側面の下部に空洞を形成する工程とを含む。

【 0 0 1 0 】

本発明の半導体装置の製造方法は、前記ゲートの下部の一部位を除去してノッチ形状に加工する工程と、前記一部位のみに局所的に低誘電率の材料を埋め込む工程と、前記低誘電率の材料を覆うように前記ゲートの側面にサイドウォール膜を形成する工程とを含む。

【 0 0 1 1 】

本発明の半導体装置の製造方法は、前記ゲートの下部の一部位を除去してノッチ形状に加工する工程と、前記一部位を埋め込まない程度に低被覆段差性となる条件でサイドウォール膜を前記ゲートの側面に形成し、前記ゲートの前記側面の下部に空洞を形成する工程とを含む。

【 0 0 1 2 】

【発明の実施の形態】

ー本発明の基本骨子ー

本発明者は、フリンジ容量の低減化を図るに際して、上記した不純物の抜け等を抑止する観点が付加し考察した結果、フリンジ容量の低減化に最も効果的な部位のみに必要最小限の局所的な低誘電率領域を形成することに想到した。フリンジ容量は主にゲート電極端と半導体基板との間における寄生容量であることから、この寄生容量発生に最も寄与する部位であるゲート電極の側面下部に低誘電率

領域を形成すれば良い。

【 0 0 1 3 】

(第 1 の態様)

ここでは、図 1 に示すように、半導体基板 1 上にゲート絶縁膜 2 を介してゲート電極 3 が形成され、ゲート電極 3 の両側にソース／ドレイン 4 が形成されてなる MOS トランジスタにおいて、サイドウォール膜 5 を 2 層（薄い第 1 の膜 5 a 及びこれを覆う第 2 の膜 5 b）とし、第 1 の膜 5 a の下方、即ちゲート電極 3 の側面下部のみを局所的な低誘電率領域として低誘電率材料 6 で埋め込み、これを覆うように第 2 の膜 5 b を形成する。

【 0 0 1 4 】

(第 2 の態様)

ここでは、図 2 に示すように、図 1 と同様の MOS トランジスタにおいて、サイドウォール膜 5 を 2 層（薄い第 1 の膜 5 a 及びこれを覆う第 2 の膜 5 b）として、第 1 の膜 5 a をゲート電極 3 の側面上部のみ形成し、ゲート電極 3 の側面下部のみを低誘電率領域として、これを埋め込まない低被覆段差性となる条件で第 2 の膜 5 b を形成し、サイドウォール膜 5 で囲まれた局所的な空洞 7 を形成する。

【 0 0 1 5 】

(第 3 の態様)

ここでは、図 3 に示すように、図 1 と同様の MOS トランジスタにおいて、ゲート電極 3 の側壁下部（及びゲート絶縁膜 2）の一部をエッチングにより除去してノッチ形状とし、この部位を局所的な低誘電率領域として低誘電率材料 6 を埋め込み、これを覆うようにサイドウォール膜 8 を形成する。

【 0 0 1 6 】

(第 4 の態様)

ここでは、図 4 に示すように、図 1 と同様の MOS トランジスタにおいて、ゲート電極 3 の側壁下部（及びゲート絶縁膜 2）の一部をエッチングにより除去してノッチ形状とし、この部位を局所的な低誘電率領域として、これを埋め込まない低被覆段差性となる条件でサイドウォール膜 8 を形成し、このサイドウォール

膜 8 で囲まれた局所的な空洞 7 を形成する。

【 0 0 1 7 】

なお、特開平 4 - 1 5 2 5 3 5 公報には、サイドウォール膜の下部を高誘電体膜、上部を低誘電体膜で形成してなる半導体装置が開示されているが、これは L D D 部分の低電界化及びゲート配線間の寄生容量の低減化を図ることを目的としており、本発明とは構成もさることながら、目的及び効果も全く異なる別発明である。

【 0 0 1 8 】

－具体的な諸実施形態－

上述した本発明の基本骨子の内容を踏まえ、本発明を適用した好適な諸実施形態について図面を参照しながら詳細に説明する。

【 0 0 1 9 】

(第 1 の実施形態)

本実施形態では、ゲート電極及びソース／ドレインを有する M O S トランジスタ構造の半導体装置の構成及びその製造方法を開示する。ここでは便宜上、M O S トランジスタの構成をその製造工程と共に説明する。

【 0 0 2 0 】

図 5 は、本実施形態による M O S トランジスタの製造方法を工程順に示す概略断面図である。

先ず、図 5 (a) に示すように、例えば p 型のシリコン半導体基板 1 1 上にゲート絶縁膜 1 2 を介して C V D 法等により多結晶シリコン膜 (不図示) を堆積し、これら多結晶シリコン膜及びゲート絶縁膜 1 2 を電極形状にパターニングすることにより、ゲート電極 1 3 を形成する。

【 0 0 2 1 】

続いて、図 5 (b) に示すように、ゲート電極 1 3 を覆うように半導体装置 1 1 上に例えばシリコン酸化膜 (不図示) を C V D 法等により堆積し、このシリコン酸化膜の全面を異方性エッチング (エッチバック) することにより、ゲート電極 1 3 及びゲート絶縁膜 1 2 の側面のみに薄い第 1 の膜 1 4 a を形成する。

【 0 0 2 2 】

続いて、図 5 (c) に示すように、例えばウェットエッチングにより、第 1 の膜 1 4 a の下部のみを選択的に除去し、ゲート電極 1 3 の側面下部の表面を露出させる。このとき、ゲート電極 1 3 の露出した側面下部が低誘電率領域 1 5 となる。

【 0 0 2 3 】

続いて、図 5 (d) に示すように、ゲート電極 1 3 及び第 1 の膜 1 4 a をマスクとして n 型不純物、例えばリン (P) 等をイオン注入し、半導体基板 1 1 の表層に一对のエクステンション領域 1 6 を形成する。

【 0 0 2 4 】

続いて、図 5 (e) に示すように、低誘電率領域 1 5 を埋め込むようにゲート電極 1 3 上に低誘電率材料 2 1 を形成し、これをエッチング（例えばエッチバック）して低誘電率領域 1 5 のみに残す。ここで、低誘電率材料 2 1 としては、例えば SiOF、アリールエーテル系有機低誘電率材料、フルオロカーボン系低誘電率材料、ハイドロジェンシロセスキオキサン系低誘電率材料、ハイドロメチルシロセスキオキサン系低誘電率材料、ポーラスキオキサン系低誘電率材料、及びポーラスアリールエーテル系低誘電率材料等が用いられる。

【 0 0 2 5 】

続いて、図 5 (f) に示すように、ゲート電極 1 3 を覆うように CVD 法等により例えばシリコン窒化膜（不図示）を堆積した後、このシリコン窒化膜の全面を異方性エッチング（エッチバック）し、第 1 の膜 1 4 a の側面及び低誘電率材料 2 1 により充填された低誘電率領域 1 5 を覆う第 2 の膜 1 4 b を形成する。このとき、第 1、第 2 の膜 1 4 a、1 4 b で低誘電率領域 1 5 を囲むサイドウォール膜 1 4 が形成される。

【 0 0 2 6 】

続いて、図 5 (g) に示すように、ゲート電極 1 3 及びサイドウォール膜 1 4 をマスクとして n 型不純物、例えばリン (P) 等をイオン注入し、半導体基板 1 1 の表層にエクステンション領域 1 6 と一部重畳するようにソース／ドレイン 1 7 を形成する。

【 0 0 2 7 】

しかる後、層間絶縁膜やコンタクトホール、各種配線層等を形成し、MOSトランジスタを完成させる。

【0028】

(第2の実施形態)

図6は、本実施形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

先ず、図6(a)に示すように、例えばp型のシリコン半導体基板11上にゲート絶縁膜12を介してCVD法等により多結晶シリコン膜(不図示)を堆積し、これら多結晶シリコン膜及びゲート絶縁膜12を電極形状にパターンニングすることにより、ゲート電極13を形成する。

【0029】

続いて、図6(b)に示すように、ゲート電極13を覆うように半導体装置11上に例えばシリコン酸化膜(不図示)をCVD法等により堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)することにより、ゲート電極13及びゲート絶縁膜12の側面のみに薄い第1の膜14aを形成する。

【0030】

続いて、図6(c)に示すように、例えばウェットエッチングにより、第1の膜14aの下部のみを選択的に除去し、ゲート電極13の側面下部の表面を露出させる。このとき、ゲート電極13の露出した側面下部が低誘電率領域15となる。

【0031】

続いて、図6(d)に示すように、ゲート電極13及び第1の膜14aをマスクとしてn型不純物、例えばリン(P)等をイオン注入し、半導体基板11の表層に一对のエクステンション領域16を形成する。

【0032】

続いて、低誘電率領域15を埋め込まない程度に低被覆段差性(ステップカバレッジの低い)となる条件でゲート電極13及び第1の膜14aを覆うシリコン酸化膜(不図示)を形成する。このシリコン酸化膜は低温酸化(LTO)法やスパッタ法により形成すれば良く、例えば平行平板プラズマCVD装置を用いて4

00Wの高周波（RF）電力を投入して400℃の低温条件で形成する。そして、図6（e）に示すように、このシリコン酸化膜の全面を異方性エッチング（エッチバック）し、低誘電率領域15を覆う第2の膜14bを形成する。このとき、第1の膜14aの側面を覆い当該第1の膜14aと共に空洞22とされた低誘電率領域15を囲むサイドウォール膜14が形成される。

【0033】

続いて、図6（f）に示すように、ゲート電極13及びサイドウォール膜14をマスクとしてn型不純物、例えばリン（P）等をイオン注入し、半導体基板11の表層にエクステンション領域16と一部重畳するようにソース／ドレイン17を形成する。

【0034】

しかる後、層間絶縁膜やコンタクトホール、各種配線層等を形成し、MOSトランジスタを完成させる。

【0035】

（第3の実施形態）

図7は、本実施形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

先ず、図7（a）に示すように、例えばp型のシリコン半導体基板11上にゲート絶縁膜12を介してCVD法等により多結晶シリコン膜（不図示）を堆積し、これら多結晶シリコン膜及びゲート絶縁膜12を電極形状にパターニングすることにより、ゲート電極13を形成する。

【0036】

続いて、図7（b）に示すように、ゲート電極13の側壁面下部及びゲート絶縁膜12の一部をエッチングにより除去してノッチ形状とする。このノッチ部位が低誘電率領域18となる。

【0037】

続いて、図7（c）に示すように、ゲート電極13をマスクとしてn型不純物、例えばリン（P）等をイオン注入し、半導体基板11の表層に一对のエクステンション領域16を形成する。

【 0 0 3 8 】

続いて、図 7 (d) に示すように、低誘電率領域 1 8 を埋め込むようにゲート電極 1 3 上に低誘電率材料 2 3 を形成し、これをエッチング（例えばエッチバック）して低誘電率領域 1 8 のみに残す。ここで、低誘電率材料 2 3 としては、例えば SiOF、アリアルエーテル系有機低誘電率材料、フルオロカーボン系低誘電率材料、ハイドロジェンシロセスキオキサン系低誘電率材料、ハイドロメチルシロセスキオキサン系低誘電率材料、ポーラスキオキサン系低誘電率材料、及びポーラスアリアルエーテル系低誘電率材料等が用いられる。

【 0 0 3 9 】

続いて、図 7 (e) に示すように、ゲート電極 1 3 を覆うように CVD 法等により例えばシリコン窒化膜（不図示）を堆積した後、このシリコン窒化膜の全面を異方性エッチング（エッチバック）し、ゲート電極 1 3 の側面及び低誘電率材料 2 3 により充填された低誘電率領域 1 5 を覆うサイドウォール膜 1 9 を形成する。

【 0 0 4 0 】

続いて、図 7 (f) に示すように、ゲート電極 1 3 及びサイドウォール膜 1 9 をマスクとして n 型不純物、例えばリン (P) 等をイオン注入し、半導体基板 1 1 の表層にエクステンション領域 1 6 と一部重畳するようにソース／ドレイン 1 7 を形成する。

【 0 0 4 1 】

しかる後、層間絶縁膜やコンタクトホール、各種配線層等を形成し、MOS トランジスタを完成させる。

【 0 0 4 2 】

（第 4 の実施形態）

図 8 は、本実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

先ず、図 8 (a) に示すように、例えば p 型のシリコン半導体基板 1 1 上にゲート絶縁膜 1 2 を介して CVD 法等により多結晶シリコン膜（不図示）を堆積し、これら多結晶シリコン膜及びゲート絶縁膜 1 2 を電極形状にパターニングする

ことにより、ゲート電極 1 3 を形成する。

【 0 0 4 3 】

続いて、図 8 (b) に示すように、ゲート電極 1 3 の側壁下部及びゲート絶縁膜 1 2 の一部をエッチングにより除去してノッチ形状とする。このノッチ部位が低誘電率領域 1 8 となる。

【 0 0 4 4 】

続いて、図 8 (c) に示すように、ゲート電極 1 3 をマスクとして n 型不純物、例えばリン (P) 等をイオン注入し、半導体基板 1 1 の表層に一對のエクステンション領域 1 6 を形成する。

【 0 0 4 5 】

続いて、図 8 (d) に示すように、低誘電率領域 1 8 を埋め込まない程度に低被覆段差性 (ステップカバレッジの低い) となる条件でゲート電極 1 3 及び第 1 の膜 1 4 a を覆うシリコン酸化膜 (不図示) を形成する。このシリコン酸化膜は低温酸化 (L T O) 法やスパッタ法により形成すれば良く、例えば平行平板プラズマ C V D 装置を用いて 4 0 0 W の高周波 (R F) 電力を投入して 4 0 0 ° C の低温条件で形成する。そして、このシリコン酸化膜の全面を異方性エッチング (エッチバック) し、空洞 2 4 とされた低誘電率領域 1 8 を囲むサイドウォール膜 1 9 を形成する。

【 0 0 4 6 】

続いて、図 8 (e) に示すように、ゲート電極 1 3 及びサイドウォール膜 1 9 をマスクとして n 型不純物、例えばリン (P) 等をイオン注入し、半導体基板 1 1 の表層にエクステンション領域 1 6 と一部重畳するようにソース/ドレイン 1 7 を形成する。

【 0 0 4 7 】

しかる後、層間絶縁膜やコンタクトホール、各種配線層等を形成し、M O S トランジスタを完成させる。

【 0 0 4 8 】

なお、第 1 ~ 第 4 の実施形態では、エクステンション領域を備えた L D D 構造のソース/ドレインを形成する場合を例示したが、本発明は単にシングルドレイ

ン構造のMOSトランジスタにも適用可能である。また、バルク型のMOSトランジスタに限定されず、MISトランジスタやSOI型のMOSトランジスタ、ダブルゲート型のMOSトランジスタ等にも適用可能である。また、ソース／ドレインの両側ではなく片側のみに低誘電率領域を設けるようにしても良い。

【0049】

ー本実施形態のMOSトランジスタのフリンジ容量ー

ここで、第2の実施形態（第2の態様）によるMOSトランジスタを例に採り、低誘電率領域（空洞）の高さ（幅を一定値（例えば10nm）で統一すれば、実質的には空洞のサイズ）とフリンジ容量との関係について調べた。図9にこのシミュレーション実験の結果を示す。

【0050】

図9において、横軸が空洞の高さ、左縦軸がフリンジ容量、右縦軸が当該空洞を持たない従来デバイス構造の値で正規化したフリンジ容量の相対値をそれぞれ示している。図示のように、局所的に高さ15nm程度の空洞を形成するだけで、空洞を持たない従来構造に比して20%以上フリンジ容量が削減される。また、同様のシミュレーションにより、高さが僅か5nmで幅が5nmの極微小な空洞を局所的に形成するだけでも、空洞を持たない従来構造に比して10%以上フリンジ容量が削減される。この場合、空洞の高さを更に高くしても、さほどのフリンジ容量の低下は見られない。

【0051】

従って、本実施形態のように、最もフリンジ容量を低下させる効果の大きい部位（ゲート電極の側面下部）に限定して、この部位に局所的に必要な最小限の空洞を形成することにより、特開平9-246544公報の発明とは異なりゲート電極に導入した不純物がその後の熱処理工程で前記空洞から抜けることなく、フリンジ容量を十分に低減化することが可能となる。なお、この効果は第2の実施形態のみならず、第1、第3、第4の実施形態でも同様である。

【0052】

以下、本発明の諸態様を付記としてまとめて記載する。

【0053】

(付記 1) ゲート及びソース／ドレインを含む半導体装置であって、
前記ゲートの側面を覆うサイドウォール膜を備え、
前記ゲートの前記側面の下部のみに、前記サイドウォール膜で覆われた局所的な低誘電率領域を有することを特徴とする半導体装置。

【 0 0 5 4 】

(付記 2) 前記低誘電率領域は、前記サイドウォール膜に比して低誘電率の材料からなることを特徴とする付記 1 に記載の半導体装置。

【 0 0 5 5 】

(付記 3) 前記サイドウォール膜は、
前記ゲートの前記側面の上部のみに直接形成された第 1 の膜と、
前記ゲートの前記側面の下部のみに直接形成された前記低誘電率領域を覆うように前記第 1 膜に形成された第 2 の膜と
を含むことを特徴とする付記 2 に記載の半導体装置。

【 0 0 5 6 】

(付記 4) 前記低誘電率領域は空洞であることを特徴とする付記 1 に記載の半導体装置。

【 0 0 5 7 】

(付記 5) 前記サイドウォール膜は、
前記ゲートの前記側面の上部のみに直接形成された第 1 の膜と、
前記第 1 の膜を覆い、前記側面の下部のみに空洞を形成する第 3 の膜と
を含むことを特徴とする付記 4 に記載の半導体装置。

【 0 0 5 8 】

(付記 6) 前記ゲートは、前記側壁下部の一部が除去されてノッチ状に前記低誘電率領域が形成されていることを特徴とする付記 1 に記載の半導体装置。

【 0 0 5 9 】

(付記 7) 前記低誘電率領域は、前記サイドウォール膜に比して低誘電率の材料からなることを特徴とする付記 6 に記載の半導体装置。

【 0 0 6 0 】

(付記 8) 前記低誘電率領域は空洞であることを特徴とする付記 6 に記載の半

導体装置。

【 0 0 6 1 】

(付記 9) ゲート及びソース／ドレインを含む半導体装置の製造方法であって

前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、

前記第 1 の膜の下部のみを除去する工程と、

前記第 1 の膜の除去された前記ゲートの前記側面の下部のみに局所的に低誘電率の材料を埋め込む工程と、

前記低誘電率の材料を覆うように前記第 1 の膜に第 2 の膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 6 2 】

(付記 1 0) ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側面を覆う薄い第 1 の膜を形成する工程と、

前記第 1 の膜の下部のみを除去する工程と、

前記第 1 の膜に比して低被覆段差性となる条件で第 2 の膜を前記第 1 の膜に形成し、前記ゲートの前記側面の下部に空洞を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【 0 0 6 3 】

(付記 1 1) ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側壁下部の一部位を除去してノッチ形状に加工する工程と、

前記一部位のみに局所的に低誘電率の材料を埋め込む工程と、

前記低誘電率の材料を覆うように前記ゲートの側面にサイドウォール膜を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【 0 0 6 4 】

(付記 1 2) ゲート及びソース／ドレインを含む半導体装置の製造方法であって、

前記ゲートの側壁下部の一部位を除去してノッチ形状に加工する工程と、
前記一部位を埋め込まない程度に低被覆段差性となる条件でサイドウォール膜
を前記ゲートの側面に形成し、前記ゲートの前記側面の下部に空洞を形成する工
程と
を含むことを特徴とする半導体装置の製造方法。

【 0 0 6 5 】

【発明の効果】

本発明によれば、フリンジ容量の低減化を最も効率良く実現するとともに、上
記した不純物の抜け等の問題を可及的に抑止し、作製も比較的容易な半導体装置
が実現する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の態様を説明するための概略断面図である。

【図 2】

本発明の第 2 の態様を説明するための概略断面図である。

【図 3】

本発明の第 3 の態様を説明するための概略断面図である。

【図 4】

本発明の第 4 の態様を説明するための概略断面図である。

【図 5】

第 1 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面
図である。

【図 6】

第 2 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面
図である。

【図 7】

第 3 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面
図である。

【図 8】

第 4 の実施形態による MOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9】

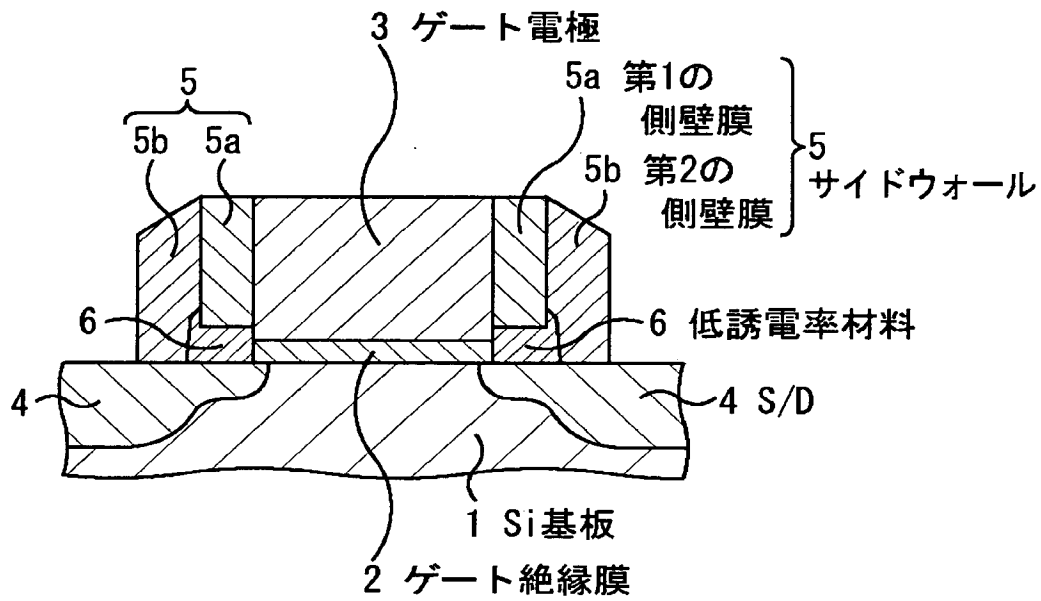
第 2 の実施形態による MOS トランジスタについて、低誘電率領域（空洞）の高さとフリンジ容量との関係を示す特性図である。

【符号の説明】

- 1, 11 シリコン半導体基板
- 2, 12 ゲート絶縁膜
- 3, 13, ゲート電極
- 4, 17 ソース／ドレイン
- 5, 8, 14, 19 サイドウォール膜
- 5a, 14a 第1の膜
- 5b, 14b 第2の膜
- 6, 21, 23 低誘電率材料
- 7, 22, 24 空洞
- 15, 18 低誘電率領域
- 16 エクステンション領域

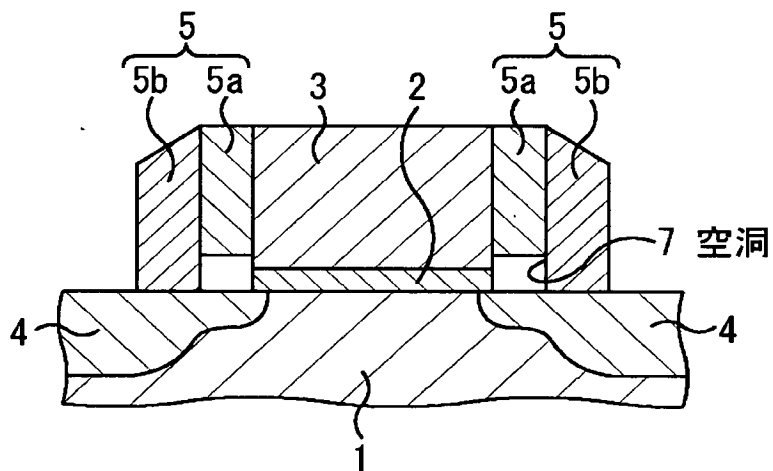
【書類名】 図面

【図 1】



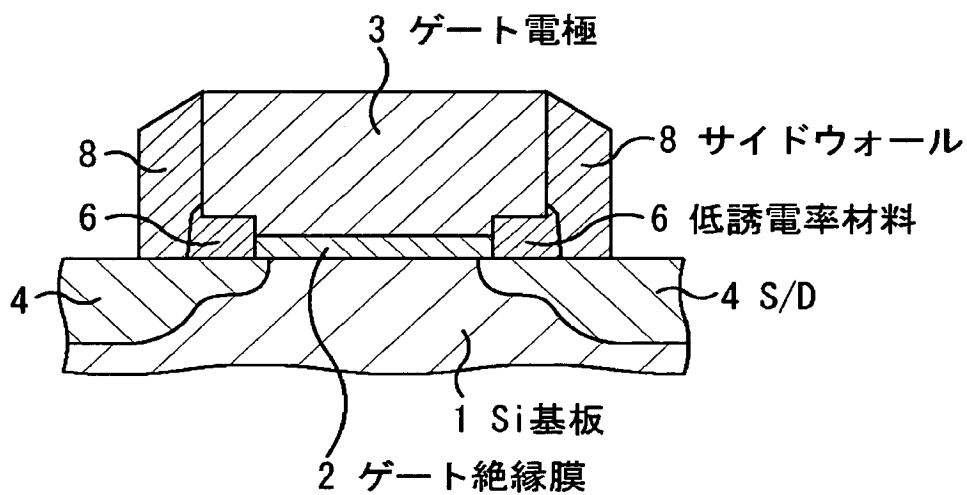
第1の状態

【図 2】



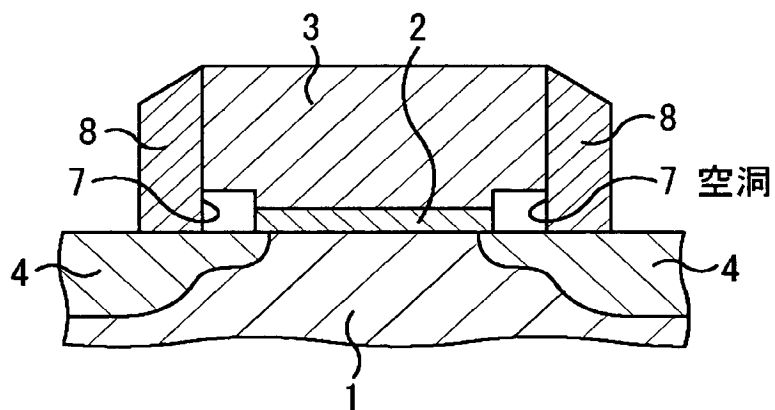
第2の状態

【図3】



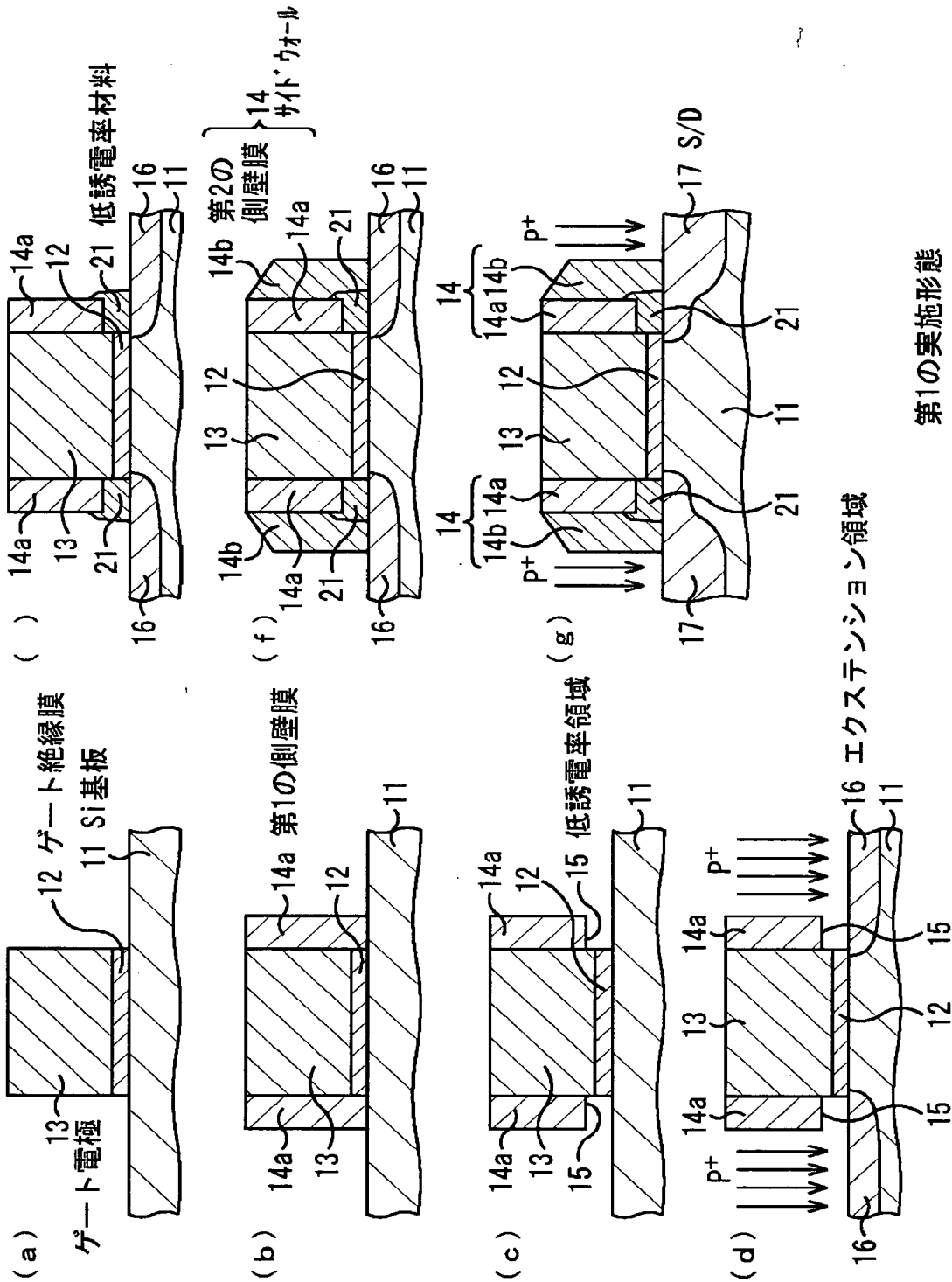
第3の態様

【図4】



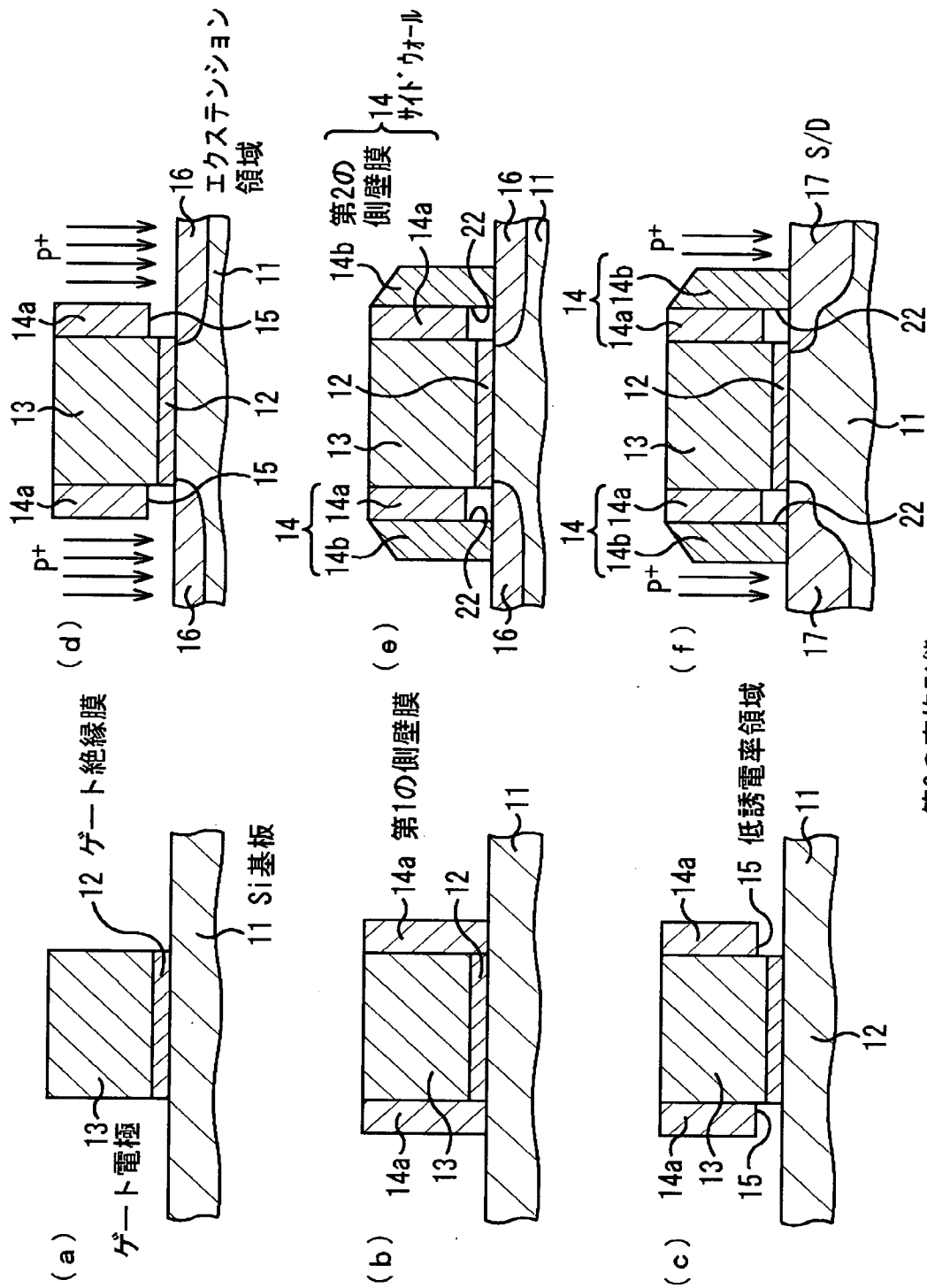
第4の態様

【図5】



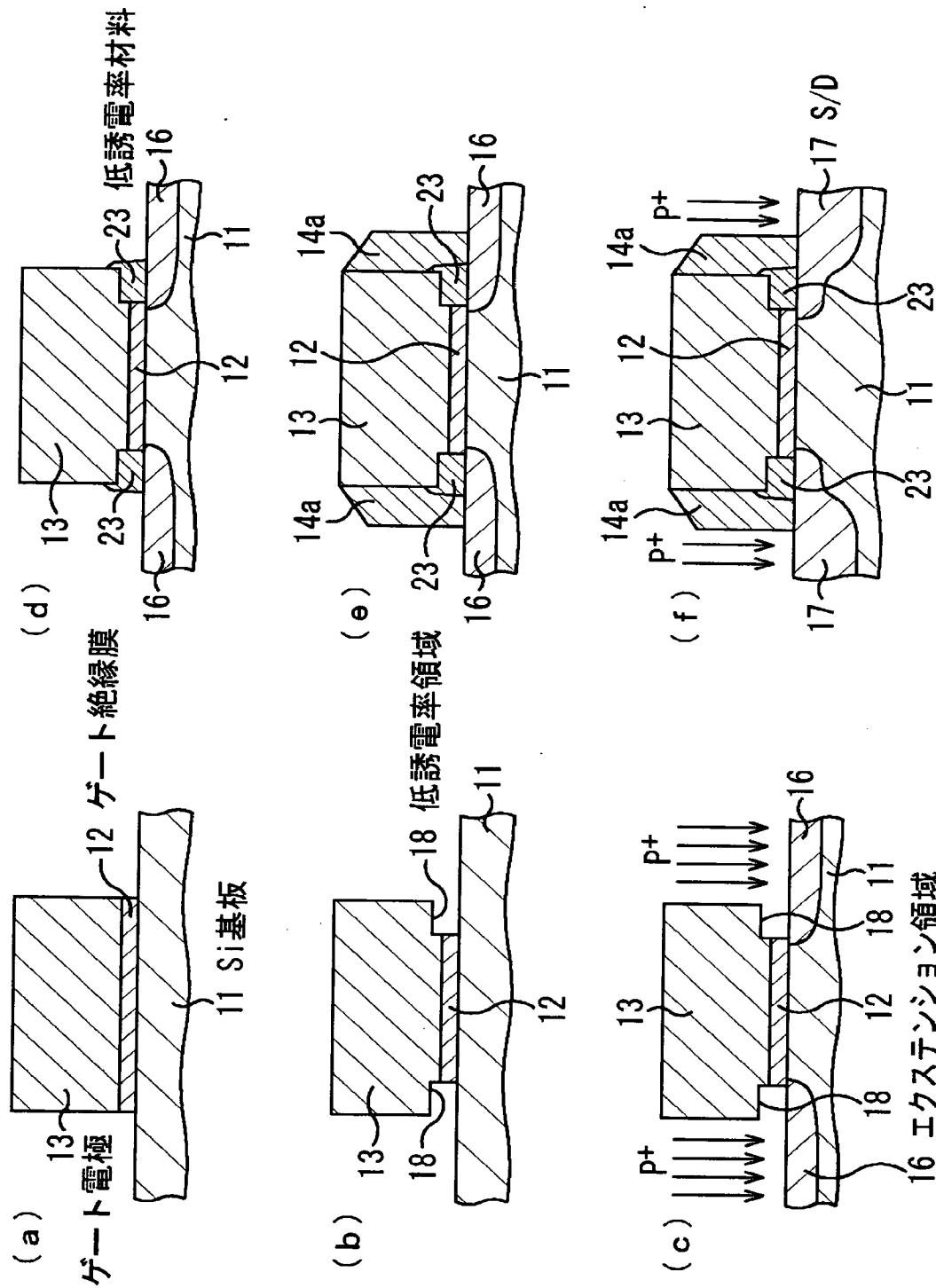
第1の実施形態

【図 6】



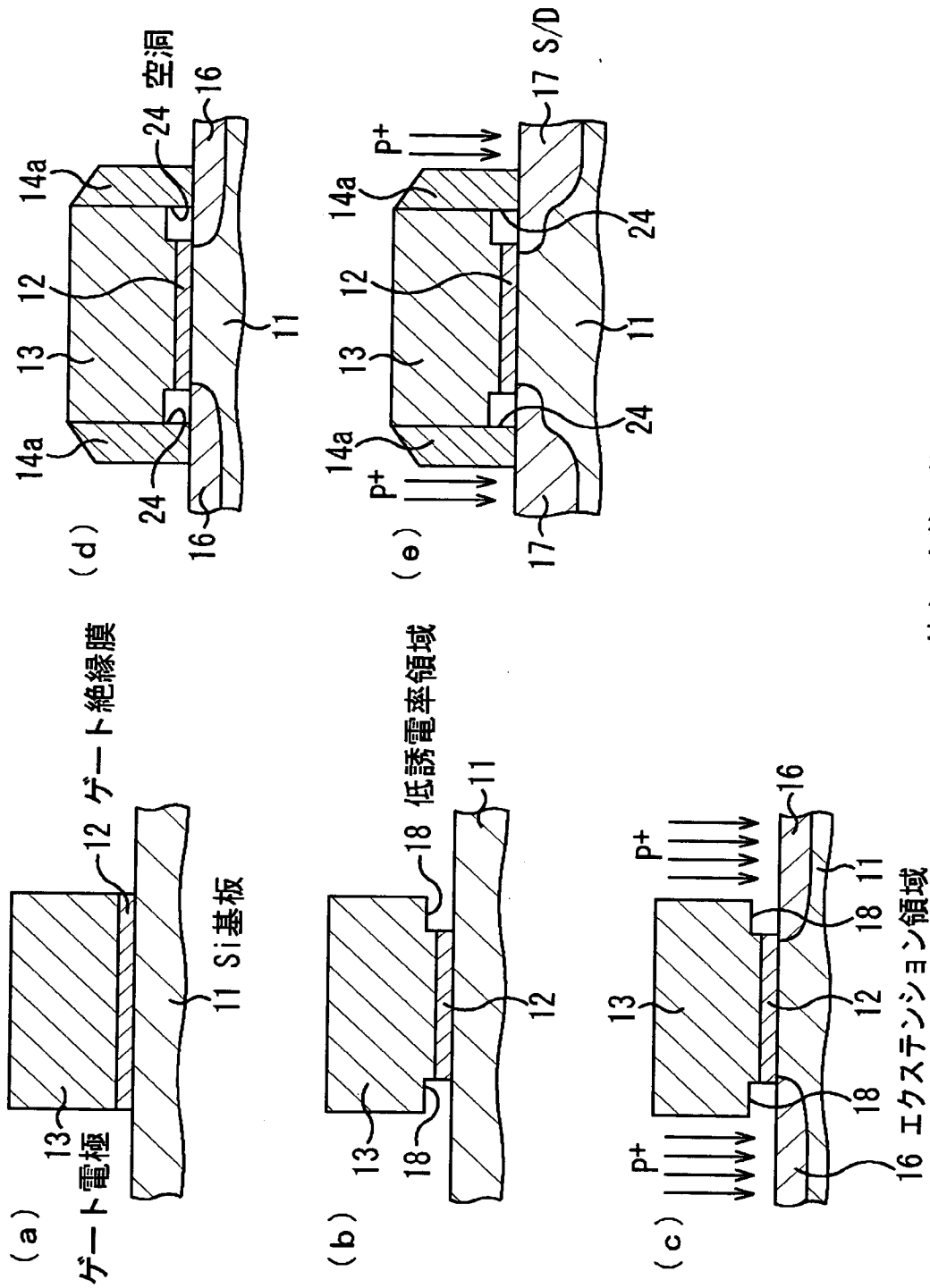
第2の実施形態

【図7】



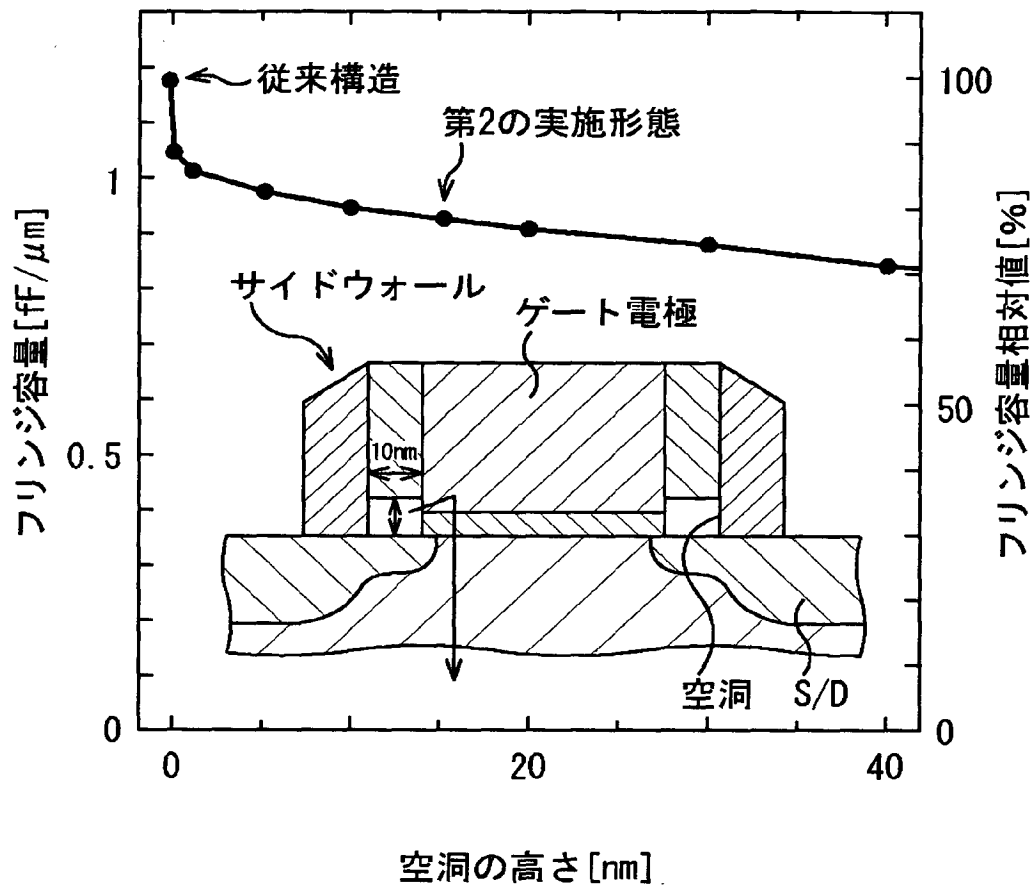
第3の実施形態

【図 8】



第4の実施形態

【図9】



【書類名】 要約書

【要約】

【課題】 フリンジ容量の低減化を最も効率良く実現するとともに、上記した不純物の抜け等の問題を可及的に抑止する。

【解決手段】 半導体基板 1 上にゲート絶縁膜 2 を介してゲート電極 3 が形成され、ゲート電極 3 の両側にソース／ドレイン 4 が形成されてなる MOS トランジスタにおいて、サイドウォール膜 5 を 2 層（薄い第 1 の膜 5 a 及びこれを覆う第 2 の膜 5 b）とし、第 1 の膜 5 a の下方、即ちゲート電極 3 の側面下部のみを局所的な低誘電率領域として低誘電率材料 6 で埋め込み、これを覆うように第 2 の膜 5 b を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社